



DEUTSCHES
PATENTAMT

21 Aktenzeichen: P 40 09 823.0
22 Anmeldetag: 27. 3. 90
43 Offenlegungstag: 4. 10. 90

DE 4009823 A1

30 Unionspriorität: 32 33 31
27.03.89 US 328923

71 Anmelder:
The Grass Valley Group, Inc., Nevada City, Calif., US

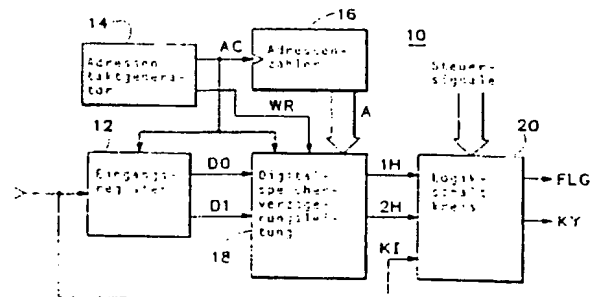
74 Vertreter:
Eisenführ, G., Dipl.-Ing.; Speiser, D., Dipl.-Ing., 2800
Bremen; Strasse, J., Dipl.-Ing., 8000 München;
Rabus, W., Dr.-Ing.; Brügge, J., Dipl.-Ing.; Maiwald,
W., Dipl.-Chem. Dr.; Klinghardt, J., Dipl.-Ing.,
Pat.-Anwälte, 2800 Bremen

72 Erfinder:
White, Charles, Perkasio, Pa., US

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Digitalspeicherverzögerungsleitung für einen Videorandgenerator

Die Erfindung betrifft eine Vorrichtung zur Verzögerung eines Codesignals (KI) und enthält Mittel (12) zum Abtasten des Codesignals (KI), um m-Bit-Datenworte (D0, D1) zu bilden, wobei jedes Bit einen Abtastwert des Codesignals (KI) repräsentiert, Mittel (50, 52, 56) zur Verzögerung der m-Bit-Datenworte um ein vorgegebenes Zeitintervall sowie Mittel (54) zum Demultiplexen der verzögerten m-Bit-Datenworte, um ein um das vorgegebene Zeitintervall verzögertes Codesignal zu reproduzieren.



DE 4009823 A1

BEST AVAILABLE COPY

Beschreibung

Die Erfindung betrifft eine Digitalspeicherverzögerungsleitung für einen Videorandgenerator, der ein erweitertes Codesignal (key signal) für Rand- oder Schatteneffekte über ein Titelvideosignal erzeugt.

Ein Videorandgenerator erzeugt einen Rand oder einen Schatten für ein Videobildsignal. Um solch einen Rand oder Schatten zu erzeugen, wird ein erweitertes Codesignal aus einem zum Videobildsignal gehörigen Eingangscodesignal erzeugt. Das Eingangscodesignal wird vom erweiterten Codesignal subtrahiert, um ein Füllcodesignal zu erzeugen, das die Addition eines Rand- oder Schattenvideofüllsignals zu dem Videobildsignal erlaubt. Ein solcher Videorandgenerator ist im Modell 100 Videoswitcher, hergestellt von The Grass Valley Group, Inc. of Grass Valley, Kalifornien, V. St. A., enthalten. Das Eingangscodesignal wird in einen Eingangspufferverstärker eingegeben und anschließend für eine Reihe von Verzögerungsleitungen verwendet, wobei jede Verzögerungsleitung eine Verzögerung gleich einer horizontalen Bildzeile besitzt. Die Ausgangssignale der Verzögerungsleitungen werden zusammen mit dem Eingangscodesignal in eine Verknüpfungslogik und einen Ausgangsschaltkreis eingegeben, um ein erweitertes Codesignal entsprechend dem gewünschten, von einem Kommandosignal bestimmten Modus zu erzeugen. Diese Verzögerungsleitungen sind analoge Glas-Verzögerungsleitungen, die komplementäre Eingangssignale erfordern. Die Verzögerungsleitungen erzeugen ein bipolares Doppelsignal, das gegenüber dem Eingangssignal um etwa ein Horizontalzeile (1H) verzögert ist. Das Doppelsignal wird mit zwei Schwellwerten verglichen, die zugehörige Flip-Flops setzen, um einen Impuls zu bilden, der mit der Zeitfolge des Codeeingangssignals identisch ist. Eine zusätzliche Verzögerungsleitung mit Unterteilungen wird verwendet, um die 1H-Verzögerung für jede Glasverzögerungslinie endgültig einzustellen. Dieses Analogsystem ist teuer und unterliegt für analoge Schaltungen typischen Fehlern.

Aufgabe der Erfindung ist es daher, eine Vorrichtung zur Erzeugung einer präzisen 1H- und 2H-Verzögerung eines Eingangscodesignals für einen Rand/Schatten-Generator ohne die Kosten von analogen Verzögerungsvorrichtungen mit ihren Bedienungsfehlern zu schaffen.

Diese Aufgabe wird mit einer Vorrichtung gemäß Anspruch 1 gelöst.

Demnach wird erfindungsgemäß eine Digitalspeicherverzögerungsleitung für einen Videorandgenerator mit einem digitalen Speicher geschaffen, der zyklisch mit einer Taktrate getaktet wird, so daß das Dateneingangssignal etwa um ein Horizontalzeilenintervall später weiterverarbeitet wird, um eine 1H-Verzögerung zu erzeugen. Dadurch, daß das Ausgangssignal des digitalen Speichers verwendet wird und dieses Signal zurück in den digitalen Speicher gelesen wird, wird eine 2H-Verzögerung erzeugt. Ein Eingangscodesignal wird in alternierenden Zyklen eines Taktsignals abgetastet, um ein binäres Paar von Datenbits zu erzeugen. Das Taktsignal taktet ebenfalls einen Adresszähler, der periodisch eine bestimmte Anzahl von Adressen wiederholt. Das binäre Paar wird in den digitalen Speicher geladen und anschließend um etwa ein Horizontalzeilenintervall später ausgelesen. Das Datensignal wird demultiplext, um das Eingangscodesignal zu reproduzieren, und ebenfalls in den digitalen Speicher zurückgeladen, um anschließend um ein weiteres Horizontalzeilenintervall später wieder ausgelesen zu werden. Das Eingangscodesignal,

das durch den digitalen Speicher verzögert wurde, wird dann für einige Pixelelemente verzögert und mit dem Eingangscodesignal kombiniert, um ein Codesignal zu erzeugen, das in jeder Richtung erweitert ist. Das erweiterte Codesignal wird benutzt, um Rand- und Schatteneffekte zu erzeugen.

Vorteilhafte Ausführungen der Erfindung sind in den Unteransprüchen enthalten.

Nachfolgend wird ein bevorzugtes Ausführungsbeispiel der Erfindung anhand der beiliegenden Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein Blockschaltbild einer Digitalspeicherverzögerungsleitung für einen Videorandgenerator;

Fig. 2a und b ein Schaltbild der Digitalspeicherverzögerungsleitung von Fig. 1; und

Fig. 3a und b diverse zeitliche Verläufe von Signalen der Digitalspeicherverzögerungsleitung von Fig. 2.

Wie Fig. 1 erkennen läßt, ist ein Code-Kanal (key channel) 10 für einen Randgenerator dargestellt, der ein Codeeingangssignal K_i empfängt und ein aufgeweitetes Codesignal K_y ausgibt. Das Codeeingangssignal K_i besteht aus einem digitalen Codesignal mit einem Wert von "0" oder "1" und wird in ein Codeeingangssignalregister 12 eingegeben. Ebenfalls in das Codeeingangssignalregister 12 wird ein Adressentaktsignal AC von einem Adressentaktgenerator 14 eingegeben. Das Adressentaktsignal AC wird in das Codeeingangssignalregister 12 eingegeben, um das Codeeingangssignal K_i abzutasten, um ein Zwei-Bit-Ausgangssignal D_0, D_1 zu erzeugen, die zwei Abtastwerte des Codeeingangssignals repräsentieren. Das Adressentaktsignal AC wird ebenfalls in einen Adresszähler 16 eingegeben, der aus einem Umlaufzähler besteht, welcher kontinuierlich die Impulse des Adresstaktsignals zählt, um eine Adresse zu erzeugen, die von "0" bis x inkrementiert wird, wobei $x = 2^n - 1$ und n die Anzahl der Bits des Zählers sind, und anschließend wieder bei "0" beginnt.

Die Adressen A vom Adresszähler 16 werden zusammen mit dem Adresstaktsignal AC und einem Schreibsignal WR vom Adressentaktgenerator 14 für eine Digitalspeicherverzögerungsleitung 18 verwendet, welche nachfolgend genauer beschrieben wird. Ebenfalls wird in die Digitalspeicherverzögerungsleitung 18 das Zwei-Bit-Ausgangssignal D_0, D_1 aus dem Codeeingangssignalregister 12 eingegeben. Somit wird für jeden Taktimpuls AC ein neues Zwei-Bit-Ausgangssignal D_0, D_1 erzeugt und in der nächsten Adresse der Digitalspeicherverzögerungsleitung 18 bei Auftreten des Schreibimpuls WR abgespeichert. Die Digitalspeicherverzögerungsleitung 18 stellt das in der Verzögerungsleitung abgespeicherte Datensignal als Ausgangssignal entweder um ein Horizontalzeilenintervall (1H) oder zwei Horizontalzeilenintervalle (2H) später wieder zur Verfügung. Die Ausgangssignale 1H, 2H werden zusammen mit dem Codeeingangssignal K_i in einen Logikschaltkreis 20 eingegeben, der die Eingangssignale bei Auftreten bestimmter Steuersignale kombiniert, um ein erweitertes Codesignal und ein mit dem erweiterten Codesignal zusammenhängendes Randeinfügungs-Flag zu erzeugen.

Wie in Fig. 2a gezeigt ist, enthält der Adressentaktgenerator 14 einen Taktoszillator 22 wie z. B. einen Quarzoszillator mit guter Stabilität. Das Ausgangssignal C des Taktoszillators 22 wird in einen Takteingang eines ersten D-Flip-Flops oder Latch 24 eingegeben, welcher die Schreibsignale WR, WR an seinen Q/Q -Ausgängen erzeugt. Das Schreibsignal WR wird einem ersten NOR-Gatter 26 und einem zweiten D-Flip-Flop 28 zu-

geführt, dessen *Q*-Ausgangssignal ebenfalls dem ersten NOR-Gatter eingegeben wird. Das zweite Flip-Flop wird ebenfalls durch das Taktsignal *C* getaktet. Das Ausgangssignal des ersten NOR-Gatters 26 wird in den *D*-Eingang des ersten Flip-Flops 24 eingegeben. Das *Q*-Ausgangssignal des zweiten Flip-Flops 28 wird zusammen mit dem Taktsignal *C* in ein zweites NOR-Gatter 30 eingegeben, um ein Zwischentaktsignal *S* mit einer Frequenz von 1/3 der Frequenz des Taktsignals zu erzeugen. Somit arbeiten die beiden Flip-Flops 24, 28 und die beiden NOR-Gatter 26, 30 als eine Schaltung, die durch "3" dividiert. Das Schreibsignal *WR* und das Zwischentaktsignal *S* werden jeweils einem von zwei NOR-Gattern 32, 34 eingegeben, die über Kreuz verschaltet sind, um ein Latch zu bilden, dessen Ausgangssignale aus symmetrischen Adresstaktsignalen *AC*, */AC* bestehen.

Das Codeeingangssignal *KI* wird zuerst gepuffert, und falls notwendig, von einem Pufferverstärker 40 in seinem Betragswert verstärkt. Das Ausgangssignal des Pufferverstärkers 40 wird in paralleler Weise den *D*-Eingängen zweier D-Flip-Flops 42, 44 zugeführt, die entsprechend von den *AC*- und */AC*-Adresstaktsignalen getaktet werden, so daß der Wert *S0* des Codeeingangssignals im Zeitpunkt *T0* im ersten Flip-Flop 42 gespeichert wird, während der Wert *S2* des Codeeingangssignals im Zeitpunkt *T1* im zweiten Flip-Flop 44 abgespeichert wird. Im Zeitpunkt *T2* werden die Ausgangssignale aus den Flip-Flops 42, 44 unter der Taktung durch das *AC*-Signal zu einem zweiten Paar von Flip-Flops 46, 48 übertragen, deren Ausgangssignale ein Zwei-Bit-Datenwort *D0*, *D1* bilden.

Die eigentliche digitale Verzögerungseinheit besteht aus einem digitalen RAM-Speicher 50 mit 2^p -Speicherplätzen mit *p* Bits pro Wort, wie Fig. 2b zu entnehmen ist. Im vorliegenden Ausführungsbeispiel ist $p=4$, um eine maximale Verzögerung von zwei Horizontalzeilenintervallen zu erzeugen. Das Zwei-Bit-Datenwort *D0*, *D1* aus dem Codeeingangsregister 12 sowie ein zweites Zwei-Bit-Datenwort *D2*, *D3*, dessen Ableitung nachfolgend beschrieben wird, werden im digitalen RAM-Speicher 50 unter Adressen abgespeichert, die mittels des Adresszählerstandes *A* vom Adresszähler 16 angezeigt wird, wenn das */WR*-Signal dem RAM-Speicher gestattet, die Datensignale zu empfangen. Die entsprechenden Ausgangssignale *Q0* bis *Q3* des RAM-Speichers 50 werden den *D0*- bis *D3*-Eingängen eines Ausgangsregisters 52 zugeführt, der durch das *WR*-Signal getaktet wird, um die Daten aus dem RAM-Speicher zu übertragen. Das *Q0*-Ausgangssignal des Ausgangsregisters wird in den einen Anschluß *A0* eines Ausgangsmultiplexers 54 und in den *D0*-Eingang eines Verzögerungsregisters 56 eingegeben, der vom *AC*-Signal getaktet wird. Das *Q1*-Ausgangssignal des Ausgangsregisters 52 wird in den *D1*-Eingang des Verzögerungsregisters eingegeben, dessen *Q1*-Ausgangssignal in den *A1*-Anschluß des Ausgangsmultiplexers 54 eingegeben wird. Die *Q0*-, *Q1*-Ausgangssignale des Verzögerungsregisters 56 bilden das zweite Zwei-Bit-Datenwort *D2*, *D3*, das dem Eingang des RAM-Speichers 50 zugeführt wird.

Das *Q2*-Ausgangssignal des Ausgangsregisters 52 wird zurück zum *D4*-Eingang geleitet, und die *Q3*- und *Q4*-Ausgangssignale in die *D3*- und *D4*-Eingänge des Verzögerungsregisters 56 eingegeben. Das *Q3*-Ausgangssignal des Verzögerungsregisters 56 wird zurückgeführt zum *D5*-Eingang, und das *Q4*-Ausgangssignal wird in den *B1*-Anschluß des Ausgangsmultiplexers 54

eingegeben. Das *Q5*-Ausgangssignal des Verzögerungsregisters 56 wird zurückgeführt zum *D5*-Eingang des Ausgangsregisters 52, dessen *Q5*-Ausgangssignal in den *B0*-Anschluß des Ausgangsmultiplexers 54 eingegeben wird. Die Ausgangssignale *YA*, *YB* des Ausgangsmultiplexers 54 bilden ein Codeeingangssignal, das um ein Horizontalzeilenintervall 1H bzw. zwei Horizontalzeilenintervalle 2H verzögert ist. Das *AC*-Signal wird dem Auswahleingang des Ausgangsmultiplexers 54 zugeführt, um zwischen den *A0*-, *B0*- und *A1*-, *B1*-Eingängen zur Erzeugung der *YA*-, *YB*-Ausgangssignale zu schalten.

Die 1H-, 2H-Codesignale aus dem digitalen Verzögerungslinienspeicher 18 und das Codeeingangssignal *KI* werden über ODER-Gatter 60, 62 miteinander verknüpft, um ein Codesignal zu erzeugen, das in der vertikalen Breite um zwei Horizontalzeilen vergrößert ist. Das vertikal erweiterte Codesignal wird in eine erste Verzögerungsleitung 64 eingegeben, um das Codesignal horizontal um einen bestimmten Betrag zu erweitern, und zwar z. B. um 300 nsec. Mehrere Abzweigpunkte der ersten Verzögerungsleitung 64 werden einem ODER-Gatter 66 zugeführt, um zu verhindern, daß ein gezacktes 300 nsec-Codesignal auftritt, falls das Codeeingangssignal schmaler als 300 nsec ist. Das horizontal verzögerte Codesignal vom ODER-Gatter 66 wird mit dem vertikal erweiterten Codesignal in einem NOR-Gatter 68 verknüpft, um das erweiterte Codesignal zu erzeugen. Das erweiterte Codesignal wird anschließend in einem anderen NOR-Gatter 70 mit einem Austast- oder Blank-Codesignal *BKG* zu verknüpfen, um das erweiterte Codesignal nur dann auszugeben, wenn ein Einfügungsvideosignal auftritt, d. h. eine Codierung ist in horizontalen oder vertikalen Blank-Intervallen nicht erforderlich. Das erweiterte Codesignal wird anschließend in den Eingang eines UND-Gatters 72 gegeben, das das erweiterte Codesignal als Ausgangscodesignal *KY* nach Aktivierung durch ein ON-Signal weiterleitet. Ebenfalls Teil des Ausgangscodesignals *KY* ist das Codeeingangssignal *KI* über ein Gatter 74, das als Puffer dient. Falls der Randgenerator eingeschaltet ist, besteht deshalb das Ausgangscodesignal *KY* aus dem erweiterten Codesignal, und, falls der Randgenerator ausgeschaltet ist, besteht das Ausgangscodesignal aus dem Codeeingangssignal *KI*.

Der übrige Teil der Logikschaltung 20 dient zur Erzeugung eines Randeinfügungs-Flags *FLG* für den Randgenerator, um dem Randgenerator anzuzeigen, ob das Randvideo anstelle des Code-"Füll"-Videos bei den letzten 300 nsec des Codesignals für einen Schatteneffekt oder bei den ersten 150 und letzten 150 nsec des Codesignals für einen Randeffect eingefügt wird. Das Blank-Codesignal wird von einem Gatter 76 invertiert, das als Inverter dient, und anschließend in ein Flag-UND-Gatter eingegeben. Ein Schattensteuersignal */SEN* wird in einen Schatten-NOR-Gatter zusammen mit dem Codeeingangssignal *KI* eingegeben, um das Codeeingangssignal dem Flag-Gatter 78 zuzuführen, um ein Schatten-Flag zu bilden, das einen Rand anstelle eines Füll-Videos für die letzten beiden Zeilen und die letzten 300 nsec jeder Zeile des Ausgangscodesignals *KY* erzeugt. Ein Randsteuergeneratorsignal */BEN* wird an den Eingang eines Rand-NOR-Gatters 82 zusammen mit dem 1H-Codesignal übertragen, das um 150 nsec durch eine zweite Verzögerungslinieneinheit 84 verzögert wird, um ein Rand-Flag zu bilden, das ein Füll-Vi-
deo für die ersten und letzten Zeilen und die ersten und letzten 150 nsec des Ausgangscodesignals *KY* bildet.

Somit erzeugt die Kombination aus dem Ausgangssignal *KY* und dem Flag-Signal *FLG* in einem Rand-generator den gewünschten Schatten/Rand-Effekt um ein Füll-Videobild, das in ein Hintergrund-Videobild eingesetzt ist.

Die Wirkungsweise des digitalen Verzögerungslinien-speichers wird am besten anhand der Zeitdiagramme in den Fig. 3a und 3b verstanden. Das Taktsignal *C* aus dem Oszillator bewirkt, daß das Ausgangssignal des ersten Flip-Flops 24 das Eingangssignal reflektiert.

Falls das Eingangssignal anfänglich "0" am *D*-Eingang ist, wird anschließend bei der positiven Flanke von *C* der *Q*-Ausgang (*WR*) zu "0". Bei der nächsten Taktfanke wird der *Q*-Ausgang des zweiten Flip-Flops 28 zu "1", wobei ein zweites "0"-Eingangssignal dem NOR-Gatter 26 zugeführt wird, um das Ausgangssignal auf "1" zu setzen, welches an den Eingang des ersten Flip-Flops 24 übertragen wird. Bei der dritten Taktfanke wird das *Q*-Ausgangssignal des ersten Flip-Flops 24 zu "1", während das *Q*-Ausgangssignal des zweiten Flip-Flops 28 bei "0" bleibt. Das eine Eingangssignal am NOR-Gatter 26 setzt eine "0" am Eingang des ersten Flip-Flops 24, so daß der nächste Taktimpuls den Zyklus wieder startet. Wenn sowohl das *Q*-Ausgangssignal des zweiten Flip-Flops als auch der Taktimpuls "0" sind, ist das Zwischensignal *S* "1" und wird zusammen mit dem Schreibsignal *WR* dazu benutzt, um das Adressentaktlatch 32, 34 zu triggern, um die Adressentaktsignale *AC*, */AC* zu erzeugen.

Im Zeitpunkt *T0* verriegelt die führende Flanke des *AC*-Signals das Flip-Flop 42 auf dem augenblicklichen Wert *S0* des Codeeingangssignals, welches bereits vor dem Zeitpunkt *T0* existierte, während im Zeitpunkt *T1* an der nachlaufenden Flanke des *AC*-Signals die nachlaufende Flanke des */AC*-Signals das Flip-Flop 44 auf dem nächsten Wert *S1* des Codeeingangssignals verriegelt. Die Werte *S0* und *S1* werden anschließend an den Ausgang des zweiten Flip-Flop-Paares 46, 48 bei der nächsten führenden Flanke des *AC*-Signals im Zeitpunkt *T2* übertragen. Unter der Annahme, daß der Adresszähler 16 im Zeitpunkt *T0* periodisch zu seiner ersten Adresse am Speicherplatz 0 zurückkehrt, wird anschließend im Zeitpunkt *T2* die nächste Adressstelle in der Speicherzelle 1 gezählt. Vor der nächsten führenden Flanke des *AC*-Signals veranlaßt das */WR*-Signal, daß die Inhalte des Flip-Flop-Paares 46, 48 im Speicherplatz 1, Bit-Positionen *D0*, *D1* des RAM-Speichers 50, gespeichert werden.

Beim nächsten Auftreten des Speicherplatzes 1, gleichwertig einem kompletten Zyklus der RAM-Adressen, wobei die Anzahl der Speicherplätze bei diesem Ausführungsbeispiel 1024 beträgt, werden die Werte *S0*, *S1* vom RAM-Speicher 50 an das Ausgaberegister 52 mit Hilfe des *WR*-Signals übertragen. Das Schreiben in den RAM-Speicher 50 erfolgt nach dem Lesen, so daß das Datensignal sicher von dem RAM-Speicherplatz an das Ausgaberegister 52 übertragen wird, bevor ein neues Datensignal in denselben Speicherplatz geschrieben wird. Bei der nächsten führenden Flanke des *AC*-Signals wird das Datensignal vom Ausgaberegister 52 an das Verzögerungsregister 56 übertragen und anschließend wieder in die nächste RAM-Speicherzelle bei der nächsten führenden Flanke des */WR*-Signals abgespeichert. Somit werden die *S*, *S1*-Signale vom Speicherplatz 1 des RAM-Speichers 50 an den Speicherplatz 2, Bit-Positionen *D2*, *D3*, überschrieben. Bei der nachlaufenden Flanke des *AC*-Signals wird das *S0*-Datensignal durch den Ausgangsmultiplexer 54 an den 1H-Ausgang *YA* übertragen, und bei der führenden Flanke wird das

S1-Datensignal an den 1H-Ausgang übertragen, um das Codeeingangssignal, verzögert um 1026,5 Zyklen des *AC*-Signals, wiederherzustellen. Die Periode des *AC*-Signals wird von der Oszillatorfrequenz von *C* und dem verwendeten Fernsehstandard, also *NTSC*, *PAL-M*, *PAL-I* etc., bestimmt. Beim *NTSC*-System erzeugt eine Oszillatorfrequenz von 48,453665 MHz eine Periode von 63,5 μ sec nach 1026,5 Zyklen des *AC*-Signals, was gleich einem Horizontalzeilenintervall entspricht. Das 48 MHz-Taktsignal *C* erzeugt ein 16-MHz-*AC*-Signal, das das Codeeingangssignal *KI* bei etwa 32 MHz abtastet.

Wenn die Speicherzelle 2 des RAM-Speichers 50 adressiert wird, werden als nächstes die Werte *S0*, *S1* an das Ausgaberegister 52 bei der führenden Flanke des *WR*-Signals übertragen, um an den *Q2*-, *Q3*-Ausgängen wieder zu erscheinen. *S0* wird an den *Q4*-Ausgang beim nächsten *WR*-Impuls zurückgeführt, während *S1* an das Verzögerungsregister 56 beim nächsten *AC*-Impuls übertragen wird. Beim nachfolgenden *AC*-Impuls wird *S0* an den *B1*-Eingang des Ausgangsmultiplexers 54 übertragen, während *S1* zurückgekoppelt wird, um am *Q5*-Ausgang zu erscheinen. Der *YB*-Ausgang des Ausgangsmultiplexers 54 erzeugt anschließend eine Reproduktion des Codeeingangssignals, jedoch verzögert um zwei Horizontalzeilenintervalle, nach Auswahl durch das *AC*-Signal. Beim *NTSC*-System ist die Verzögerung von 2053 *AC*-Signal-Perioden mit 127 μ sec oder zwei Horizontalzeilenintervallen gleichzusetzen.

Somit wird mit der Erfindung eine Digitalspeicher-verzögerungsleitung für einen Videorandgenerator geschaffen, der ein erweitertes Codesignal erzeugt, damit ein Füll-Video Schatten/Rand-Effekte durch Verwendung eines umlaufenden $p \times 2^n$ -Digitalspeichers zu erzeugen, der zusammen mit einem Ausgaberegister und einem Verzögerungsregister das Codeeingangssignal um exakt ein und zwei Horizontalzeilenintervalle verzögert. Bei Verknüpfung miteinander und mit dem Codeeingangssignal bei geeigneten Steuerbefehlen werden ein erweitertes Codesignal und ein Randeinfügungs-Flag erzeugt, um ein Bild mit einem Schatten/Rand-Effekt in ein Hintergrundvideobild einzufügen.

Patentansprüche

1. Eine Vorrichtung zur Verzögerung eines Codesignals, gekennzeichnet durch

Mittel (12) zur Abtastung des Codesignals (*KI*), um m-Bit-Datenworte (*D0*, *D1*) zu bilden, wobei jedes Bit ein Abtastwert des Codesignals (*KI*) repräsentiert; Mittel (18) zur Verzögerung der m-Bit-Datenworte um ein vorgegebenes Zeitintervall; und Mittel (54) zum Demultiplexen der verzögerten m-Bit-Datenworte (*D0*, *D1*), um das um das vorgegebene Zeitintervall verzögerte Codesignal (*KY*) zu reproduzieren.

2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Abtastmittel (12) enthalten:

Mittel (42, 44) zum Verriegeln der Abtastwerte des Codesignals (*KI*) bei m Phasen eines Taktsignals (*AC*, */AC*); und

Mittel (46, 48) zur Verknüpfung der Abtastwerte aus den Verriegelungsmitteln (42, 44), um das m-Bit-Datenwort (*D0*, *D1*) zu erzeugen.

3. Vorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Verzögerungsmittel (18) aufweisen:

Mittel (16) zur zyklischen Erzeugung einer Reihe

von Adressen (A);

Mittel (50) zur Abspeicherung der m-Bit-Datenworte (D0, D1) in Speicherplätzen in einer Reihenfolge entsprechend der Reihenfolge der Adressen (A); und

Mittel (52, 56) zum Abfragen der m-Bit-Datenworte (D0, D1) aus den Speichermitteln (50) während des nächsten Zyklus der Reihenfolge der Adressen (A) vor dem Abspeichern neuer m-Bit-Datenworte in den Speichermitteln (50) in demselben Zyklus, wobei das vorgegebene Zeitintervall eine Funktion der Periode des Adressenreihenfolgenzyklus ist.

4. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, daß die Speichermittel (50) einen Speicher aufweisen, dessen Eingangssignale das m-Bit-Datenwort (D0, D1) und ein Schreibsignal (\overline{WR}) und dessen Ausgangssignal das verzögerte m-Bit-Datenwort umfassen.

5. Vorrichtung nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß die Abfragemittel (52, 56) aufweisen:

ein Ausgaberegister (52), dessen Eingangssignale das verzögerte m-Bit-Datenwort aus dem Speicher (50) und das Schreibsignal (\overline{WR}) und dessen Ausgangssignal das verzögerte m-Bit-Datenwort umfassen, wobei das verzögerte m-Bit-Datenwort am Ausgang des Ausgaberegisters (52) bei der einen Phase des Schreibsignals (\overline{WR}) verriegelt und ein neues m-Bit-Datenwort in demselben Speicherplatz im Speicher (50) bei der entgegengesetzten Phase des Schreibsignals (\overline{WR}) abgespeichert wird; und

ein Verzögerungsregister (56), dessen Eingangssignale das verzögerte m-Bit-Datenwort aus dem Ausgaberegister (52) und ein Taktsignal (AC) und dessen Ausgangssignal das verzögerte m-Bit-Datenwort umfassen.

6. Vorrichtung nach Anspruch 5, dadurch gekennzeichnet, daß die Abfragemittel (52, 56) ferner Mittel zum Zurückführen des verzögerten m-Bit-Datenwortes aus dem Verzögerungsregister (56) zum Eingang des Speichers (50) zur Abspeicherung in einem nächsten Speicherplatz mit einem neuen m-Bit-Datenwort aus den Abtastmitteln (12), wobei das Ausgaberegister (52) am Ausgang das verzögerte m-Bit-Datenwort, das wieder um ein vorgegebenes Zeitintervall verzögert wird, verriegelt, um ein zweites verzögertes m-Bit-Datenwort zu erzeugen, wobei das Ausgaberegister (52) und das Verzögerungsregister (56) miteinander verbunden sind, um eine zusätzlich Verzögerung für das zweite verzögerte m-Bit-Datenwort zu bilden, um die Abtastzeit des ursprünglichen m-Bit-Datenwortes auszugleichen und das zweite verzögerte m-Bit-Datenwort an einen zweiten Eingang der Demultiplex-Mittel auszugeben.

7. Vorrichtung zur Erzeugung eines erweiterten Codesignals für einen Videorandgenerator aus einem Codesignal, gekennzeichnet durch

Mittel (12) zum Abtasten des Codesignals (K), um m-Bit-Datenworte (D0, D1) zu bilden, wobei jedes Bit einen Abtastwert des Codeeingangssignals (K) repräsentiert;

Mittel (18) zur Verzögerung der m-Bit-Datenworte (D0, D1) um ein vorgegebenes Zeitintervall;

Mittel (54) zum Demultiplexen des verzögerten m-Bit-Datenwortes, um das um das vorgegebene Zeitintervall verzögerte Codesignal (KY) zu repro-

duzieren; und

Mittel (20) zur Verknüpfung des verzögerten Codesignals und des Codesignals (K), um das erweiterte Codesignal (KY) für die Verwendung durch einen Videoschalter zu erzeugen, um ein Videobild mit einem Randeffect in ein Hintergrund-Videobild einzufügen.

8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß die Abtastmittel (12) aufweisen:

Mittel (42, 44) zur Verriegelung von Abtastwerten des Codesignals (K) bei m-Phasen eines Taktsignals (AC, \overline{AC}); und

Mittel (46, 48) zur Verknüpfung der Abtastwerte aus den Verriegelungsmitteln (42, 44), um das m-Bit-Datenwort (D0, D1) zu erzeugen.

9. Vorrichtung nach Anspruch 7 oder 8, dadurch gekennzeichnet, daß die Verzögerungsmittel (18) aufweisen:

Mittel (16) zur zyklischen Erzeugung einer Reihe von Adressen (A);

Mittel (50) zum Abspeichern der m-Bit-Datenworte (D0, D1) in einer Reihe von Speicherplätzen entsprechend der Reihenfolge der Adressen (A); und

Mittel (52, 56) zum Abfragen der m-Bit-Datenworte (D0, D1) aus den Speichermitteln (50) während des nächsten Zyklus der Adressenreihe vor dem Abspeichern neuer m-Bit-Datenworte in den Speichermitteln (50) in demselben Zyklus, wobei das vorgegebene Zeitintervall eine Funktion der Periode des Adressenreihenfolgenzyklus ist.

10. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, daß die Speichermittel (50) einen Speicher aufweisen, dessen Eingangssignale das m-Bit-Datenwort (D0, D1) und ein Schreibsignal (\overline{WR}) und dessen Ausgangssignal das verzögerte m-Bit-Datenwort umfassen.

11. Vorrichtung nach Anspruch 9 oder 10, dadurch gekennzeichnet, daß die Abfragemittel (52, 56) aufweisen:

ein Ausgaberegister (52), dessen Eingangssignale das verzögerte m-Bit-Datenwort und das Schreibsignal (\overline{WR}) und dessen Ausgangssignal das verzögerte m-Bit-Datenwort umfassen, wobei das verzögerte m-Bit-Datenwort am Ausgang des Ausgaberegisters (52) bei der einen Phase des Schreibsignals (\overline{WR}) verriegelt und ein neues m-Bit-Datenwort auf denselben Speicherplatz im Speicher (50) bei der entgegengesetzten Phase des Schreibsignals (\overline{WR}) eingegeben wird; und

ein Verzögerungsregister (56), dessen Eingangssignale das verzögerte m-Bit-Datenwort aus dem Ausgaberegister (52) und ein Taktsignal (AC) und dessen Ausgangssignale das verzögerte m-Bit-Datenwort umfassen.

12. Vorrichtung nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, daß die Abfragemittel (52, 56) ferner Mittel zur Zurückleitung des verzögerten m-Bit-Datenwortes an den Eingang des Speichers (50) zur Speicherung auf dem nächsten Speicherplatz mit einem neuen m-Bit-Datenwort von den Abfragemitteln (12), wobei das Ausgaberegister (52) das verzögerte m-Bit-Datenwort, das um das vorgegebene Zeitintervall wieder verzögert wird, am Ausgang verriegelt, um ein zweites verzögertes m-Bit-Datenwort zu erzeugen, wobei das Ausgaberegister (52) und das Verzögerungsregister (56) miteinander verbunden sind, um eine zu-

sätzliche Verzögerung für das zweite verzögerte m-Bit-Datenwort zu bilden, um die Abtastzeit des ursprünglichen m-Bit-Datenwortes auszugleichen und das zweite verzögerte m-Bit-Datenwort an einen zweiten Eingang der Demultiplex-Mittel (54) auszugeben.

13. Vorrichtung nach einem der Ansprüche 7 bis 12, dadurch gekennzeichnet, daß die Verknüpfungsmittel (20) aufweisen:

Mittel zur Verknüpfung des verzögerten Codesignals mit dem Codesignal (K_I), um einen vertikal erweiterten Code zu erzeugen; und

Mittel zur horizontalen Verzögerung des vertikal erweiterten Codes, um den erweiterten Code zu erzeugen.

14. Vorrichtung zur Erzeugung eines verzögerten Codesignals aus einem Codesignal, gekennzeichnet durch

ein erstes Paar von Flip-Flops (42, 44), deren Eingangssignal das Codesignal (K_I) ist, wobei die Flip-Flops (42, 44) entsprechend durch entgegengesetzte Phasen eines Taktsignals (AC) getriggert werden, um zwei Abtastwerte des Codesignals (K_I) an den entsprechenden Ausgängen zu verriegeln;

ein zweites Paar von Flip-Flops (46, 48), dessen Eingangssignale die entsprechenden Ausgangssignale des ersten Paares von Flip-Flops (42, 44) umfassen, wobei das zweite Paar von Flip-Flops (46, 48) von der einen Phase des Taktsignals (AC) getriggert wird, um die beiden Abtastwerte in ein paralleles Zwei-Bit-Wort (D_0, D_1) zu transformieren;

einen Speicher (50), dessen Eingangssignale das parallele Zwei-Bit-Wort (D_0, D_1) und ein vom Taktsignal (C) abgeleitetes Schreibsignal ($/WR$) umfassen, wobei das parallele Zwei-Bit-Wort (D_0, D_1) auf einem bestimmten Speicherplatz des Speichers (50) bei der einen Phase des Schreibsignals ($/WR$) abgespeichert wird und der bestimmte Speicherplatz zyklisch während eines vorgegebenen Zeitintervalls adressiert wird;

ein Ausgaberegister (52), dessen Eingangssignale das um das vorgegebene Zeitintervall verzögerte parallele Zwei-Bit-Wort (D_0, D_1) aus dem Speicher (50) und das Schreibsignal (WR) umfaßt, wobei das verzögerte Zwei-Bit-Wort (D_0, D_1) am Ausgang des Ausgaberegisters (52) bei der entgegengesetzten Phase des Schreibsignals (WR) verriegelt wird, wobei die entgegengesetzte Phase vor der einen Phase auftritt;

ein Verzögerungsregister (56), dessen Eingangssignale das verzögerte Zwei-Bit-Wort (D_0, D_1) vom Ausgaberegister (52) und das Taktsignal (AC) umfassen, wobei das Taktsignal (AC) das verzögerte Zwei-Bit-Wort als zweites Zwei-Bit-Wort am Ausgang bei der einen Phase verriegelt; und

einen Demultiplexer (54), dessen Eingangssignale ein Bit aus dem verzögerten Zwei-Bit-Wort vom Ausgaberegister (52) und ein Bit aus dem zweiten Zwei-Bit-Wort vom Verzögerungsregister (56) umfassen, wobei der Demultiplexer (54) in Antwort auf das Taktsignal (AC) das Codesignal aus den Bits als verzögertes Codesignal (1H, 2H) erzeugt.

15. Vorrichtung nach Anspruch 14, gekennzeichnet durch Mittel zur Zurückleitung des zweiten Zwei-Bit-Wortes zum Speicher (50) zur Eingabe parallel mit dem Zwei-Bit-Wort aus dem zweiten Paar der Flip-Flops (46, 48) im nächsten Speicherplatz nach dem bestimmten Speicherplatz, wobei das Ausga-

beregister (52) das um das vorgegebene Zeitintervall verzögerte zweite Zwei-Bit-Wort am Ausgang mit dem verzögerten Zwei-Bit-Wort verriegelt, um ein zweites verzögertes Zwei-Bit-Wort zu erzeugen, das Ausgaberegister (52) und das Verzögerungsregister (56) miteinander verschaltet sind, um zusätzlich das zweite verzögerte Zwei-Bit-Wort zu verzögern, um die Verzögerung zwischen dem Eingang des ersten FlipFlop-Paares (42, 44) und dem Ausgang des zweiten Flip-Flop-Paares (46, 48) des ursprünglichen Zwei-Bit-Wortes auszugleichen und ein Bit des verzögerten Zwei-Bit-Wortes aus jedem der Register (52, 56) nach zusätzlicher Verzögerung zur Eingabe in den Multiplexer (54) genommen wird, um das Codeeingangssignal (K_I) als zweites verzögertes Codesignal (2H) zu reproduzieren.

Hierzu 4 Seite(n) Zeichnungen

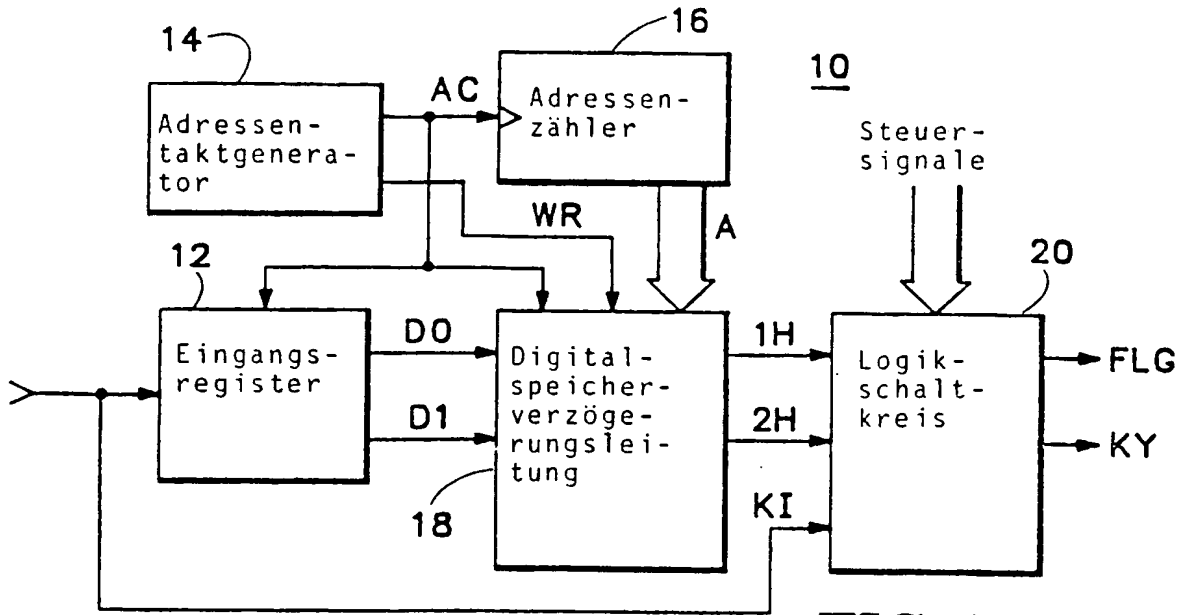


FIG. 1

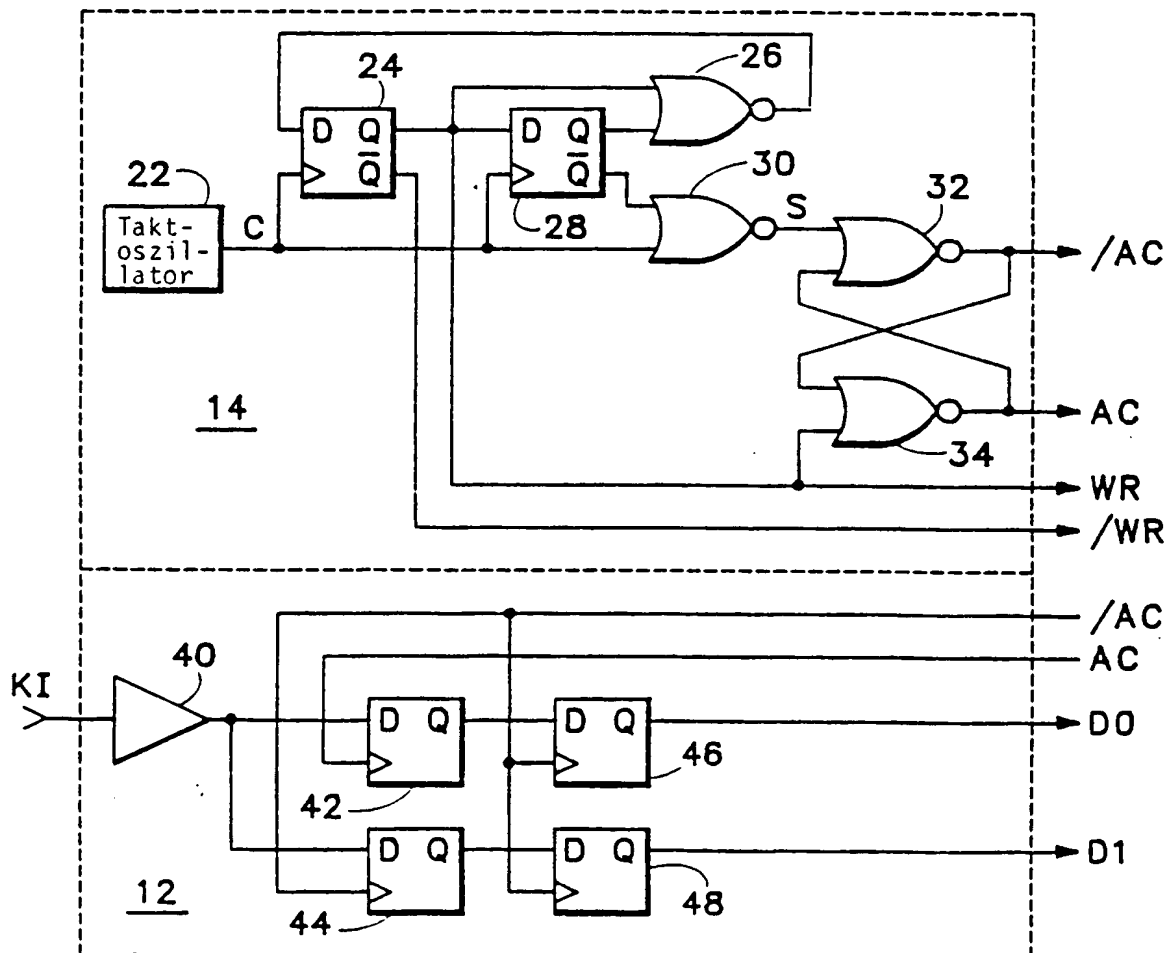


FIG. 2A

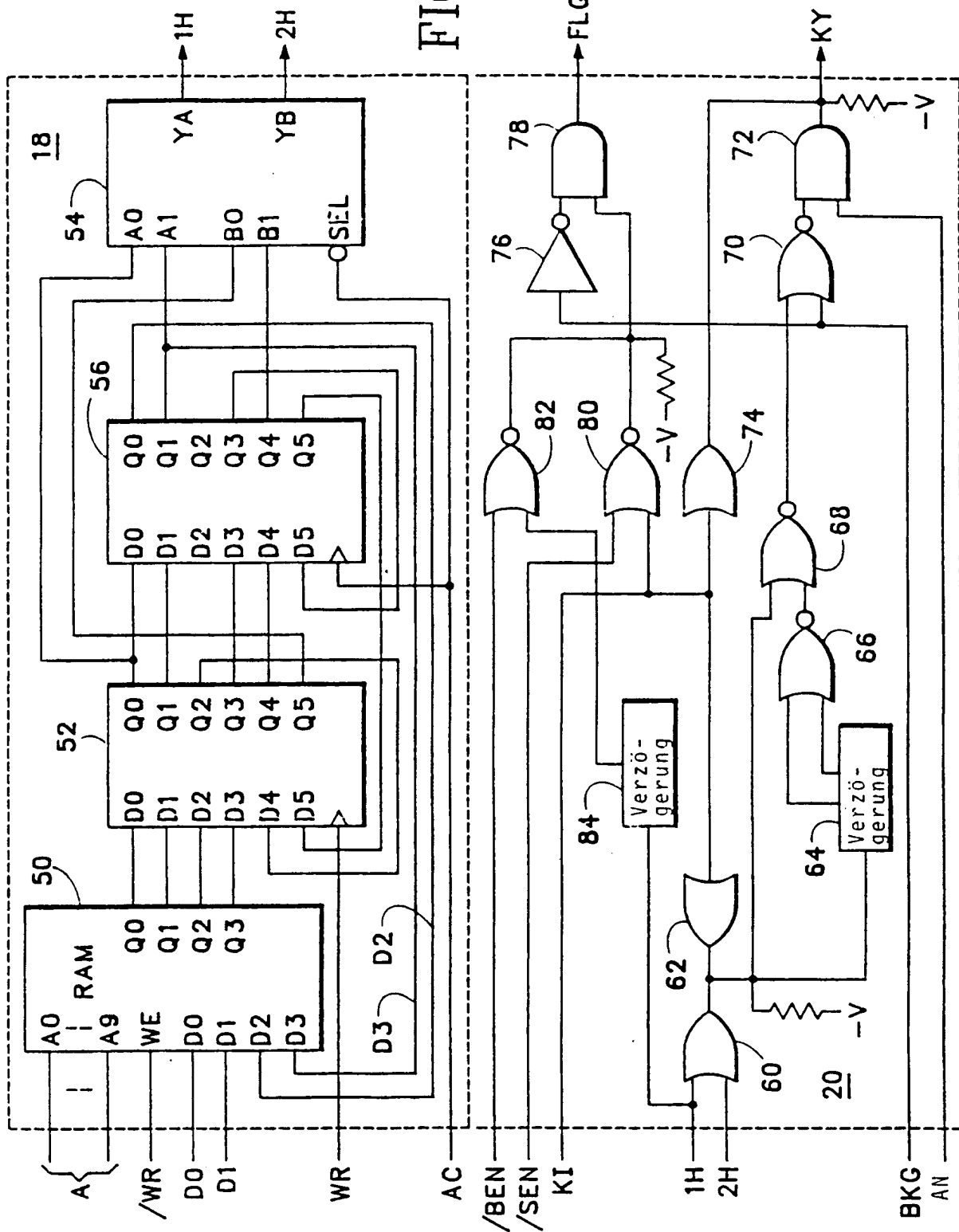


FIG. 2B

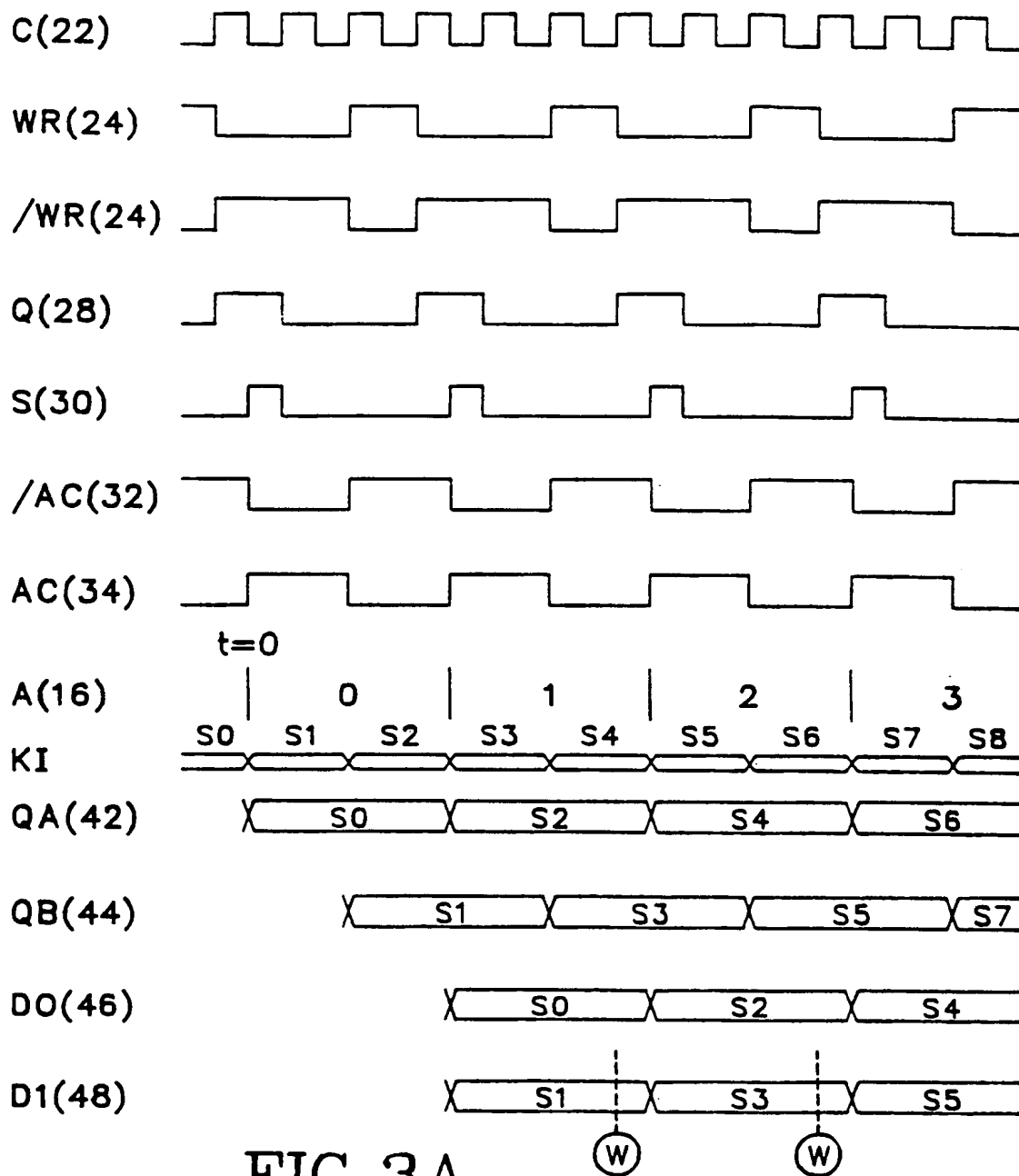


FIG. 3A

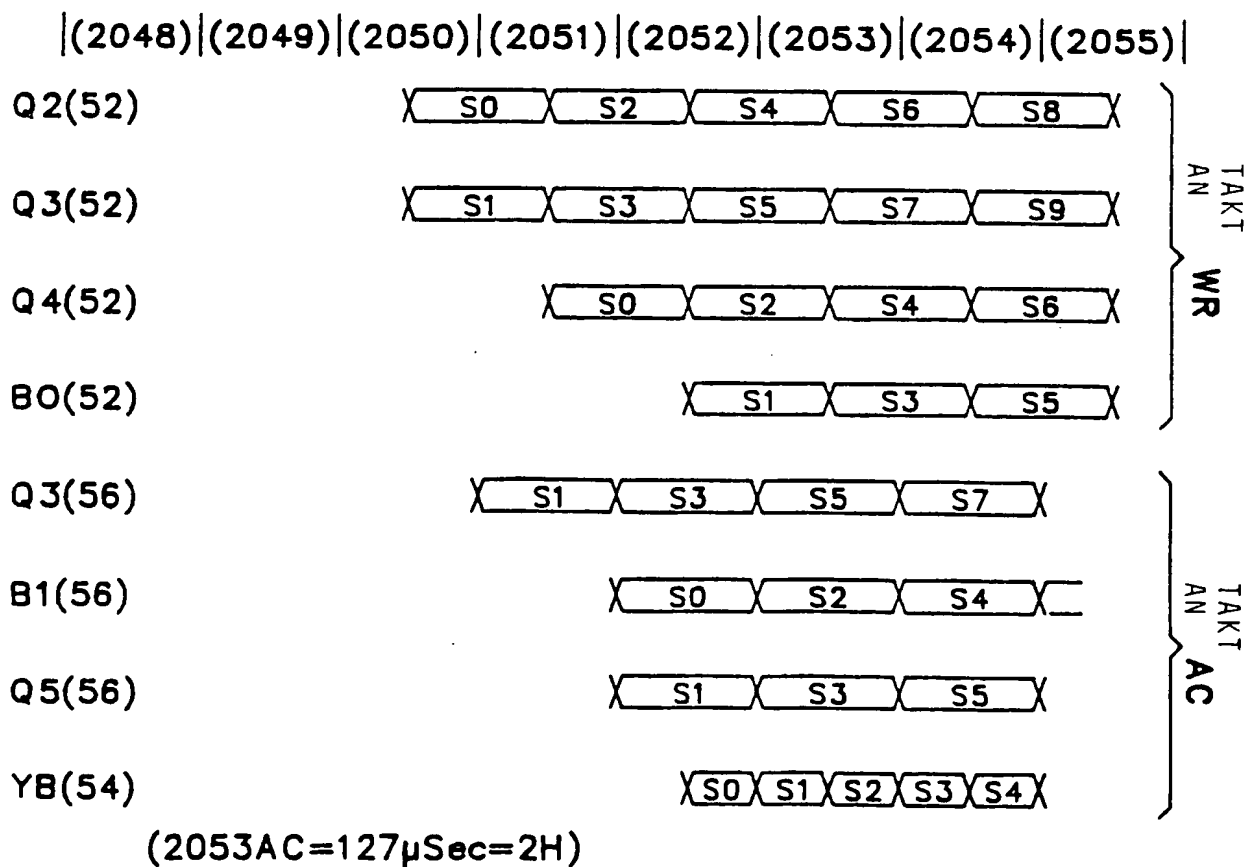
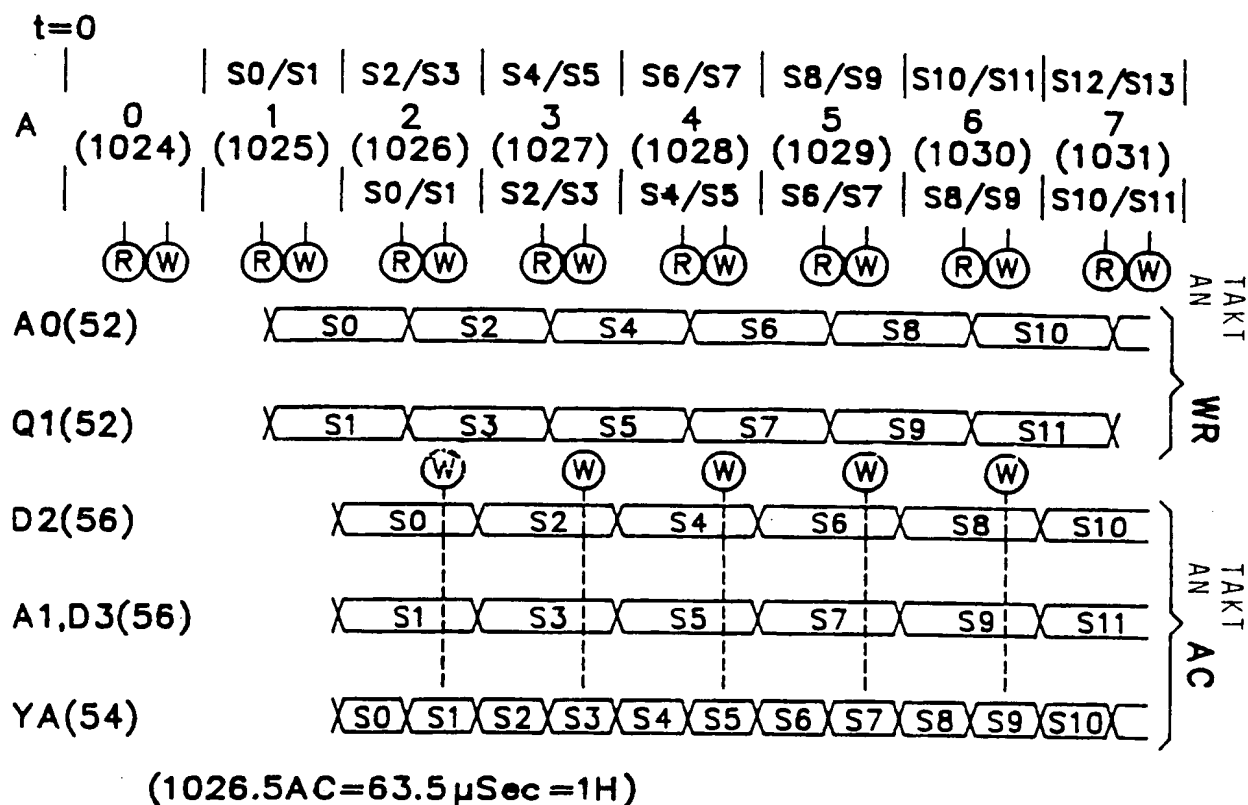


FIG. 3B

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.